

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-154273

(43)Date of publication of application : 16.06.1989

(51)Int.Cl.

G06F 15/16

G06F 13/18

G06F 13/18

(21)Application number : 62-314745

(71)Applicant : FUJITSU LTD

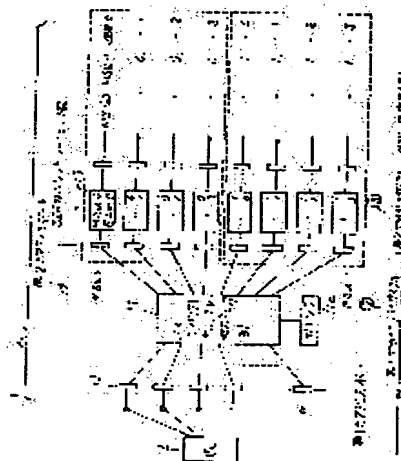
(22)Date of filing : 10.12.1987

(72)Inventor : UCHIDA NOBUO

(54) CONTROL SYSTEM FOR MAIN STORAGE ACCESS**(57)Abstract:**

PURPOSE: To improve the access efficiency to a main storage by dividing the storage to be accessed from plural processors into plural segments and setting buses in response to these segments.

CONSTITUTION: A main storage MSU is divided into plural segments SEG and the buses are set in response to these segments. Thus a check part 11 and a pointer 11e perform the check of competitive conditions among buses and the assurance of sequence for execution of a program with an access request received from a vector unit VU2, for example, among those requests accepted from plural processors via a 1st access port 10. Then the access request which acquires the preference right is set at a 2nd access port 12 in accordance with each bus. The access request set at the port 12 already acquires the bus application right to the port 12 and can perform the transmission to the MSU.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

平1-154273

⑤ Int. Cl.⁴G 06 F 15/16
13/18

識別記号

3 5 0
3 1 0
3 2 0

庁内整理番号

R-6745-5B
A-8840-5B
C-8840-5B

④ 公開 平成1年(1989)6月16日

審査請求 未請求 発明の数 1 (全11頁)

④ 発明の名称 主記憶アクセス制御方式

② 特 願 昭62-314745

② 出 願 昭62(1987)12月10日

⑦ 発 明 者 内 田 信 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑧ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

④ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

主記憶アクセス制御方式

2. 特許請求の範囲

(1) 1つ乃至複数個の主記憶装置(MSU)を有し、該主記憶装置(MSU)に論理的に接続される1つ乃至複数個の処理装置(2)からの単位マシンサイクル当たり、1つ乃至複数個のアクセス要求の上記主記憶装置(MSU)に対する発信の可否を制御する主記憶制御ユニット(MCU)(1)を有する計算機システムであって、

該主記憶制御ユニット(MCU)(1)と主記憶装置(MSU)の間に1つ乃至複数個のそれぞれ単位データ長に対応するアクセス要求バスを有し、上記処理装置(2)から主記憶制御ユニット(MCU)(1)に対するアクセス要求は、上記単位データ長、又はそれ以下のデータ長を1つのアクセス要素として、該アクセス要素に対応する要求をセットする1つ乃至複数個の第1のリクエストポート(10)を有し、該アクセス要素

の順番はプログラムを実行する上で規定されている上記計算機システムにおいて、

上記第1のリクエストポート(10)の出力において、任意のリクエストのアドレスの指示位置により、上記主記憶装置(MSU)へのアクセスバスを選択し、

該アクセスバスに対応した第2のリクエストポート(12)にセットする時には、上記プログラムを実行する上で規定されている順序を保証して行い、その出力においては、自アクセスバス内の競合のみをチェック(13)して、該自アクセス要求の発信の可否を決定することを特徴とする主記憶アクセス制御方式。

(2) 上記主記憶アクセス制御方式において、該主記憶制御ユニット(MCU)(1)内に、該主記憶装置(MSU)の各セグメント対応に設けられている第1のリクエストポート(10)間において、バスコンフリクトチェックと、上記プログラムを実行する上での順序を規定するポイント(11e)に基づいて、順序通りに上記第2のリクエストポート(12)にセットする第1のプライオリティサイクル機構(11)と、

各セグメント内の単位データに対するバンクビジ

ーチェックを行う第2のプライオリティサイクル機構(13)とを設け、

上記第1のプライオリティサイクル機構(11)では、上記各リクエストポートに対応して設けられているバス間のコンフリクトチェックと、上記ポイントが示すポートを最優先に、上記プログラムを実行する上での規定に従って選択して上記第2のアクセスポートにセットし、

上記第2のプライオリティサイクル機構(13)では、上記第2のリクエストポート毎に、バス内でのバンクビジーチェックを行って、ビジーでなければ各バンクに対して、該単位データ毎のアクセス要求の発信を行うことを特徴とする特許請求の範囲第1項に記載の主記憶アクセス制御方式。

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術と発明が解決しようとする問題点

実行する上で規定されている上記計算機システムにおける主記憶アクセス制御方式に関し、

ランダムアクセス要求時に、該単位データに対してプログラムを実行する上で規定されている順序でアクセス要素を選択した後、該単位データ長に対応して設けられているアクセス要求バスの単位で、主記憶装置(MSU)へのアクセスが可能な単位データ

(要素)から順番に発信して、主記憶装置(MSU)の使用効率を向上させることを目的とし、

(1)上記第1のリクエストポートの出力において、任意のリクエストのアドレスの指示位置により、上記主記憶装置(MSU)へのアクセスバスを選択し、該アクセスバスに対応した第2のリクエストポートにセットする時には、上記プログラムを実行する上で規定されている順序を保証して行い、その出力においては、自アクセスバス内の競合のみをチェックして、該自アクセス要求の発信の可否を決定するように構成する。(2)上記主記憶アクセス制御方式において、該主記憶制御ユニット(MCU)内に、該主記憶装置(MSU)の各セグメント対応に設けられている第1

問題点を解決するための手段

作用

実施例

発明の効果

(概要)

1つ乃至複数個の主記憶装置(MSU)を有し、該主記憶装置(MSU)に論理的に接続される1つ乃至複数個の処理装置からの単位マシンサイクル当たり、1つ乃至複数個のアクセス要求の上記主記憶装置(MSU)に対する発信の可否を制御する主記憶制御ユニット(MCU)を有する計算機システムであって、該主記憶制御ユニット(MCU)と主記憶装置(MSU)の間に1つ乃至複数個のそれぞれ単位データ長に対応するアクセス要求バスを有し、上記処理装置から主記憶制御ユニット(MCU)に対するアクセス要求は、上記単位データ長、又はそれ以下のデータ長を1つのアクセス要素として、該アクセス要素に対応する要求をセットする1つ乃至複数個の第1のリクエストポートを有し、該アクセス要素の順番はプログラムを

のリクエストポート間において、バスコンフリクトチェックと、上記プログラムを実行する上での順序を規定するポイントに基づいて、順序通りに上記第2のリクエストポートにセットする第1のプライオリティサイクル機構と、各セグメント内の単位データに対するバンクビジーチェックを行う第2のプライオリティサイクル機構とを設け、上記第1のプライオリティサイクル機構では、上記各リクエストポートに対応して設けられているバス間のコンフリクトチェックと、上記ポイントが示すポートを最優先に、上記プログラムを実行する上での規定に従って選択して上記第2のアクセスポートにセットし、上記第2のプライオリティサイクル機構では、上記第2のリクエストポート毎に、バス内でのバンクビジーチェックを行って、ビジーでなければ各バンクに対して、該単位データ毎のアクセス要求の発信を行うように構成する。

(産業上の利用分野)

本発明は、1つ乃至複数個の主記憶装置(MSU)を

有し、該主記憶装置(MSU)に論理的に接続される1つ乃至複数の処理装置からの単位マシンサイクル当たり、1つ乃至複数のアクセス要求の上記主記憶装置(MSU)に対する発信の可否を制御する主記憶制御ユニット(MCU)を有する計算機システムであって、該主記憶制御ユニット(MCU)と主記憶装置(MSU)の間に1つ乃至複数のそれぞれ単位データ長に対応するアクセス要求バスを有し、上記処理装置から主記憶制御ユニット(MCU)に対するアクセス要求は、上記単位データ長、又はそれ以下のデータ長を1つのアクセス要素として、該アクセス要素に対応する要求をセットする1つ乃至複数の第1のリクエストポートを有し、該アクセス要素の順番はプログラムを実行する上で規定されている上記計算機システムにおける主記憶アクセス制御方式に関する。

一般に、上記のような計算機システムにおいては、主記憶装置(MSU)に対するアクセス要求の発信のプライオリティをとるプライオリティチェック機構の論理が深くて、そのプライオリティチェック機構による論理遅延が当該計算機システムのマシンサイク

ルを長くすることがあり、該計算機システムの処理能力に重大な影響を与えることがある為、該プライオリティチェック機構の論理遅延はできる限り短くすることが必要とされる。

又、一方、該プライオリティチェック機構での論理遅延が短くても、複数サイクル(例えば、2サイクル)のプライオリティチェックの結果に基づいて主記憶装置(MSU)に対してアクセス要求を発信するような機構では、例えば、単位データ(8バイト)、又はそれ以下のデータをランダムにアクセスする場合におけるデータ転送のスループットが著しく低下することになる。

従って、該ランダムアクセスを行う計算機システムにおいては、プログラムを実行する上で規定される順序を保証しながら、毎マシンサイクル毎に、発信できるプライオリティチェック方式が要求される。

(従来の技術と発明が解決しようとする問題点)

第4図は従来の主記憶アクセス制御方式を説明する図であって、(a)はプライオリティチェック機構を

模式的に示した図であり、(b)はランダムアクセス時の問題点を説明する図である。

従来の主記憶制御ユニット(MCU)1においては、中央処理装置(CPU)、又はベクトルユニット(VU)等の処理装置2から、該主記憶制御ユニット(MCU)1に発信されたランダムアクセス要求は、(a)図に示したプライオリティサイクル①において、アクセスポート10'に設定された全単位データ(又は、該単位データ長以下のデータも含む)のアクセス要求について、バスコンフリクトのないこと、バンクビジーのないことをチェックした後、そのサイクルにおいて、最優先度のポートを示しているポイント11eの値(例えば、ポート番号)に基づいて、プログラムを実行する上での順序を保証した時点において、各ポートに設定されているアクセス要求を順番に主記憶装置(MSU)に送出していた。

この方式では、上記のように、各アクセス要求の全単位データ(エレメントと云う)について、同時に全ての競合条件のチェック、例えば、(a)図の例では「バスコンフリクトチェック」、「バンクビジ

ーチェック」、「他のコンフリクションチェック」を、それぞれのチェック部11a~11cで行った後、該チェックの結果に基づいてプライオリティ制御部11dで、プログラムを実行する上での順序を規定するポイント11eが示す優先度に基づいて、最優先のアクセス要求を決定し、該決定された最優先のアクセス要求から、順次発信できるように構成されているので、該競合条件の全てをクリアしなければ主記憶装置(MSU)に対してアクセス要求の発信ができず、特に、マルチプロセッサ化等により、競合条件が増加してきた場合には、その発信効率の低下が大きくなると云う問題があった。

例えば、(b)図に示すように、各ポートA~D10'から、それぞれ、エレメント0~3のアクセス要求を発信する場合、ポイント11eはポートAを指示しているので、上記プライオリティサイクル①(サイクル1)において、エレメント0~3がバスコンフリクトチェックで発信可能であっても、ポートAのエレメント0が該バス内でバンクビジー(図中'x'で示す)であると、他のエレメント1~3は、

プログラム実行上での順序性を保証する為に、当該4エレメントの全てが待ち合わせとなり、次のプライオリティサイクル①(サイクル3)において、上記ポートAのエレメント0に対するバンクビジーが解除されて発信でき、ポインタ11eがポートBのエレメント1を最優先として指示していても、該ポートBのエレメント1において、他の処理装置からのアクセス要求の条件に基づいて、バンクビジーとなると、又、残りの3エレメントが待ち合わせとなり、このエレメント群はサイクル3以降、最低、バンクビジーサイクル(例えば、フェッチの場合には、8サイクル、ストアの場合には、12サイクル等)間待たされてしまうと云う問題があった。

本発明は上記従来の欠点に鑑み、1つ乃至複数個の主記憶装置(MSU)を有し、該主記憶装置(MSU)に論理的に接続される1つ乃至複数個の処理装置からの単位マシンサイクル当たり、1つ乃至複数個のアクセス要求の上記主記憶装置(MSU)に対する発信の可否を制御する主記憶制御ユニット(MCU)を有する計算機システムであって、該主記憶制御ユニット(M

複数個の処理装置からの単位マシンサイクル当たり、1つ乃至複数個のアクセス要求の上記主記憶装置(MSU)に対する発信の可否を制御する主記憶制御ユニット(MCU)を有する計算機システムであって、該主記憶制御ユニット(MCU)と主記憶装置(MSU)の間に1つ乃至複数個のそれぞれ単位データ長に対応するアクセス要求バスを有し、上記処理装置から主記憶制御ユニット(MCU)に対するアクセス要求は、上記単位データ長、又はそれ以下のデータ長を1つのアクセス要素として、該アクセス要素に対応する要求をセットする1つ乃至複数個の第1のリクエストポートを有し、該アクセス要素の順番はプログラムを実行する上で規定されている上記計算機システムにおいて、

上記第1のリクエストポートの出力において、任意のリクエストのアドレスの指示位置により、上記主記憶装置(MSU)へのアクセスバスを選択し、

該アクセスバスに対応した第2のリクエストポートにセットする時には、上記プログラムを実行する上で規定されている順序を保証して行い、その出力

CU)と主記憶装置(MSU)の間に1つ乃至複数個のそれぞれ単位データ長に対応するアクセス要求バスを有し、上記処理装置から主記憶制御ユニット(MCU)に対するアクセス要求は、上記単位データ長、又はそれ以下のデータ長を1つのアクセス要素として、該アクセス要素に対応する要求をセットする1つ乃至複数個のリクエストポートを有し、該アクセス要素の順番はプログラムを実行する上で規定されている計算機システムにおいて、プログラムを実行する上での順序性が保証されれば、各アクセス要求バス内の主記憶装置(MSU)へアクセス可能な要素(エレメント)から順番に発信して、主記憶装置(MSU)の使用効率を向上させる主記憶アクセス制御方式を提供することを目的とするものである。

(問題点を解決するための手段)

上記の問題点は、下記構成の主記憶アクセス制御方式によって解決される。

(1) 1つ乃至複数個の主記憶装置(MSU)を有し、該主記憶装置(MSU)に論理的に接続される1つ乃至

においては、自アクセスバス内の競合のみをチェックして、該自アクセス要求の発信の可否を決定するように構成する。

(2) 上記主記憶アクセス制御方式において、該主記憶制御ユニット(MCU)(1)内に、該主記憶装置(MSU)の各セグメント対応に設けられている第1のリクエストポート間において、バスコンフリクトチェックと、上記プログラムを実行する上での順序を規定するポイントに基づいて、順序通りに上記第2のリクエストポートにセットする第1のプライオリティサイクル機構と、

各セグメント内の単位データに対するバンクビジーチェックを行う第2のプライオリティサイクル機構とを設け、

上記第1のプライオリティサイクル機構では、上記各リクエストポートに対応して設けられているバス間のコンフリクトチェックと、上記ポイントが示すポートを最優先に、上記プログラムを実行する上での規定に従って選択して上記第2のアクセスポートにセットし、上記第2のプライオリティサイクル

機構では、上記第2のリクエストポート毎に、バス内でのバンクビジーチェックを行って、ビジーでなければ各バンクに対して、該単位データ毎のアクセス要求の発信を行うように構成する。

(作用)

即ち、本発明によれば、主記憶制御ユニット(MCU)の第1のアクセスポートの出力、即ち、1つ乃至複数個の単位データからなるアクセス要求を、第1のプライオリティサイクルにおいて、例えば、各主記憶装置(MSU)を構成している各セグメント対応のバスコンフリクトのチェックを行い、且つ、該バスコンフリクトのないことが確認されたアクセス要求について、ポイントが示すポートのデータを最優先としてプログラムを実行する上での順序性を保証し、各セグメントに対応した第2のアクセスポートにセットする。

このサイクルで上記第2のアクセスポートにセットされたアクセス要求は、単位データ、ブロックデータの如何にかかわらず、最早バス間のコンフリク

トチェックと他のチェック部11、及びポイント11eで行い、そこで優先権を取得したアクセス要求を、各バスに対応した第2のアクセスポート12に設定する。

以下、第1図～第3図によって、本発明の主記憶アクセス制御方式を説明する。

通常、主記憶装置(MSU)は、複数個のセグメント(SEG)に分割されており、例えば、該セグメント(SEG)に対応してバスが張られている。

従って、本発明においては、複数個の処理装置から第1のアクセスポート10で受け付けた、例えば、ベクトルユニット(VU)2からのアクセス要求について、先ずバス間の競合条件のチェックと、プログラムを実行する上での順序性の保証を、バスコンフリ

クションはないので、第2のプライオリティサイクルにおいては、例えば、各セグメント内でのバンクビジーチェック等、該セグメント内の競合条件のチェックのみを行い、このチェックの可否によって主記憶装置(MSU)へのアクセス要求の発信を決定する。

このように制御することにより、主記憶制御ユニット(MCU)内の、例えば、各セグメント対応に設けられている第2のアクセスポートにおいては、各ポートにセットされた当該エレメント以外との競合条件によって待たされることがないので、バンクビジーでなければ、即、発信が可能となり主記憶装置(MSU)に対するアクセス効率が高まる効果がある。

(実施例)

以下本発明の実施例を図面によって詳述する。

第1図は本発明の一実施例を模式的に示した図であり、第2図は本発明によるランダムアクセスの動作を説明する図であり、第3図は本発明のリクエストポイント制御回路の動作を説明する図であって、(a1)は第1のアクセスポートを示し、(a2)は第2の

該第2のアクセスポート12に設定されたアクセス要求は、前述のように、該アクセスポート12に対応するバスの使用権を取得しているため、SEG内バンクビジーチェック部13において、該バス内でのプライオリティ、即ち、バンクビジーチェックでのプライオリティの取得が得られれば、即主記憶装置(MSU)に対して発信できることになる。

この状態を、本図においては、例えば、「MS GO MSU 0, SEG 0」等で表している。即ち、主記憶装置(MSU 0)のセグメント(SEG)0内の特定のバンクに対してアクセス要求が発信できることを示している。

このように制御すると、各主記憶装置(MSU)の各セグメント対応で、バンク、例えば、8バイトの単位データ長毎のアクセス要求を独立に発信することができるようになる。

この時の発信動作を第2図によって説明すると、

上記第1のプライオリティサイクル②において、例えば、ベクトルユニット(VU) 2から送出されてきたアクセス要求を第1のアクセスポート(A~D) 10にセットし、該第1のアクセスポート(A~D) 10の各エレメントデータについて、バスコンフリクトチェックを行い、バス間の競合条件が確認されたエレメントデータについて、ポイント 11eが指示するアクセスポート番号に基づいて、プログラムを実行する上での順序性が保証されたエレメントデータ0~3が、第2のアクセスポート 12に設定されているものとする。(これを'S'で示している)

第1図に示した第2のプライオリティサイクル③(サイクル1)において、ある処理装置、即ち、上記ベクトルユニット(VU) 2からのデータが連続した単位データ(エレメントと云う)0,1,2,3,~からなっていて、そのエレメント0がバンクビジーであっても、他のエレメント1~3がバンクビジーでないと、(バンクビジーの解除を'O'で示し、バンクビジー中を'x'で示している)、当該第2のプライオリティサイクル③(サイクル1)においては、

そして、次のサイクル4において、該ポイント 11eが当該アクセスポートB 10を指した時点において、続くエレメント4~7に対して上記プログラムを実行する上での順序性が保証され、該ポイント 11eはアクセスポートB⇒C⇒D⇒Aに移って、図示されている如く、該エレメント4~7が第2のアクセスポート 12の該当するポートにセット('S'で示す)され、各ポート内でのバンクビジーチェックのみが行われる。

次に、第3図によって、上記ポイント 11eによるプログラムを実行する上の順序性の保証動作の具体例を説明する。

本図においては、4個の第1のアクセスポート(A, B, C, D) 10を想定し、該ポート 10にベクトルユニット(VU) 2からのアクセス要求がセットされたときの、上記第2のアクセスポート(前述のように、バス対応に設けられている) 12にセットされるべき最優先のポートを指示するVUポイント 11eの例を示している。

本図の(a1)は上記第1のアクセスポート 10を

バンク間の競合条件はないので、該バンクビジーの解除されているアクセス要求は即、主記憶装置(MSU) 11に対して発信される。

そして、次の同じ第2のプライオリティサイクル③(サイクル2)において、前のサイクルでバンクビジーであったエレメント0のバンクビジーが解除されない限り、その儘の状態が続く。即ち、プログラムの順序性が保証されないので、続くエレメント(4~7)が該第2のアクセスポート 12にセットされることはない。

次のサイクル3において、該エレメント0に対するバンクビジーが解除されると、該エレメント0は、即、主記憶装置(MSU) 11に発信されるが、同じサイクルにおいて、第1のプライオリティサイクル②では、該エレメントが発信される迄、続くエレメント4~に対するプログラムを実行する上での順序性を保証する為の上記ポイント 11eが当該アクセスポートA 10を指した儘であるので、該続くエレメント4~に対する第2のアクセスポート 12へのセットは、未だ行われぬ。

示していて、当該VUポイント 11eは、図示されている如く、アクセスポートAを指しているものとする。

この時の該アクセスポートA 10に対するプログラムを実行する上での順序性を保証する論理、即ち、第2のアクセスポート 12にセットする条件を、(a2)図の「A PORT SET ENABLE」で示している。

(a2)図において、「POINT A・A EN」は、該VUポイント 11eがアクセスポートA 10を指しているとき、該ポートA 10のエレメントデータを第2のアクセスポート 12にセットできる条件を示している。

ここで、「A EN」は該アクセスポートA 10に設定されているエレメントデータの行き先アドレスに対応するバスが「空き」であるか、又は、該バスが使用中(バリッドと云う)であっても、このサイクルで、そのバスを使用していたアクセス要求が解除(リリース)される場合を示している。「B EN」、……についても同じである。

又、図中「B C MTCN」, 「C D MTCN」, ……は、デ

ータの行き先である第2のアクセスポート12に対する、第1のアクセスポートB, C, 或いは、ポートC, Dからのバスコンフリクション(バスマッチ)で、例えば、アクセスポートB 10のエLEMENTが、第2のアクセスポート12に送出できないことを示している。以下、同じである。

従って、例えば、該VUポインタ11eが第1のアクセスポートB 10を指している時には、各ポートB, C, D, A 10の各ELEMENTデータの行き先条件を示している、前述の「B EN」, 「C EN」, ……が全て「OK」であって、且つ、行き先きの第2のアクセスポート12に対するバスマッチがなければ(この条件を「B C MATCH」, ……で示す)、該ポートA 10のエLEMENTデータを第2のアクセスポート12にセットできる。

以下、該ポインタ11eがポートC, Dを指しているときの条件についても、同じようにして、(a2)図に示している、該当項の論理条件がとれたとき、該ポートA 10のエLEMENTデータを第2のアクセスポート12にセットすることができることになる。

アクセスポート12にセット(これを「S」で示している)されると、該VUポインタ11eは図示の如くに、Cポート10を指示し、Aポート, Bポート10には、次のELEMENT 4, 5が設定される。

この状態でELEMENT 2~4が送出されると、該VUポインタ11eはBポート10を指示するようになり、ここで、ELEMENT 5が送出されると、該VUポインタ11eはCポート10を指示するように遷移する。

このように、本発明は、1つ乃至複数の主記憶装置(MSU)を有し、該主記憶装置(MSU)に論理的に接続される1つ乃至複数の処理装置からの単位マシンサイクル当たり、1つ乃至複数のアクセス要求の上記主記憶装置(MSU)に対する発信の可否を制御する主記憶制御ユニット(MCU)を有する計算機システムであって、該主記憶制御ユニット(MCU)と主記憶装置(MSU)の間に1つ乃至複数のそれぞれ単位データ長に対応するアクセス要求バスを有し、上記処理装置から主記憶制御ユニット(MCU)に対するアクセス要求は、上記単位データ長、又はそれ以下

これが、前述の「A PORT SET ENABLE」条件である。

第1のアクセスポートB, C, D 10のエLEMENTデータに対しても、同じような論理条件で第2のアクセスポート12に対するセット条件を求めることができる。

例えば、「B PORT SET ENABLE」の論理条件は、上記第3図(a2)の論理式において、 $A \Rightarrow B$, $B \Rightarrow C$, $C \Rightarrow D$, $D \Rightarrow A$ に置き換えることによって求めることができる。

本図の(a2)で示した論理式を具体的な回路で構成したものが(b)に示してある。本図のA~Dは、それぞれ、「A PORT SET ENABLE」, 「B PORT SET ENABLE」, ……を生成する論理回路である。

次に、VUポインタ11eの遷移例について、(e)図によって説明する。

該VUポインタ11eが、第1のアクセスポート10のAポートを指しているとき、ベクトルユニット(VU)2から送られてきたELEMENT 0~3の内、ELEMENT 0, 1が前述の論理条件を満足して第2の

のデータ長を1つのアクセス要素として、該アクセス要素に対応する要求をセットする1つ乃至複数の第1のリクエストポートを有し、該アクセス要素の順番はプログラムを実行する上で規定されている計算機システムにおいて、各処理装置からのアクセス要求をその第1のプライオリティサイクルにおいて、主記憶装置(MSU)のセグメント対応に設けられているバス間のコンフリクトチェックと、プログラムを実行する上での順序性の保証を行って、第2のリクエストポートにセットするようにしたことで、第2のプライオリティサイクルにおいては、該セットされたELEMENTについてセグメント内のバンクビジーチェックのみを行って、複数の単位データからなるランダムアクセス要求の場合においても、各セグメントにおいて、アクセス可能な単位データから、刻々主記憶装置(MSU)に発信することができるようにした所に特徴がある。

〔発明の効果〕

以上、詳細に説明したように、本発明の主記憶ア

アクセス制御方式は、1つ乃至複数個の処理装置からの主記憶制御ユニット(MCU)に対する単位データ長、又は、より小さなデータ長のアクセス要求がセットされた第1のアクセスポート間のバスコンフリクトチェックと、プログラムを実行する上の順序性をポイントを用いて保証したものを次の第2のアクセスポートにセットし、該第2のアクセスポートにセットされたアクセス要求については、該ポート内のバンクビジーのみをチェックして主記憶装置(MSU)に発信するようにしたものである。主記憶制御ユニット(MCU)内の各セグメント対応に設けられている第2のアクセスポートにおいては、当該エレメント以外の競合条件によって待たされることがなく、バンクが異なると、上記プログラムを実行する上の順序性が保証されて、該第2のアクセスポートにセットされたエレメントは、毎サイクルの発信が可能となり主記憶装置(MSU)に対するアクセス効率が高まる効果がある。

12は第2のアクセスポート、
13はSEG内バンクビジーチェック部、
をそれぞれ示す。

代理人 弁理士 井桁貞一



4. 図面の簡単な説明

第1図は本発明の一実施例を模式的に示した図、
第2図は本発明によるランダムアクセスの動作を説明する図、

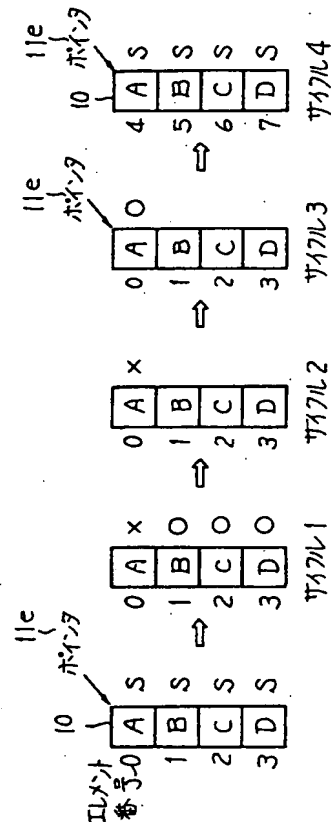
第3図は本発明のリクエストポイントの制御回路の動作を説明する図、

第4図は従来の主記憶アクセス制御方式を説明する図、

である。

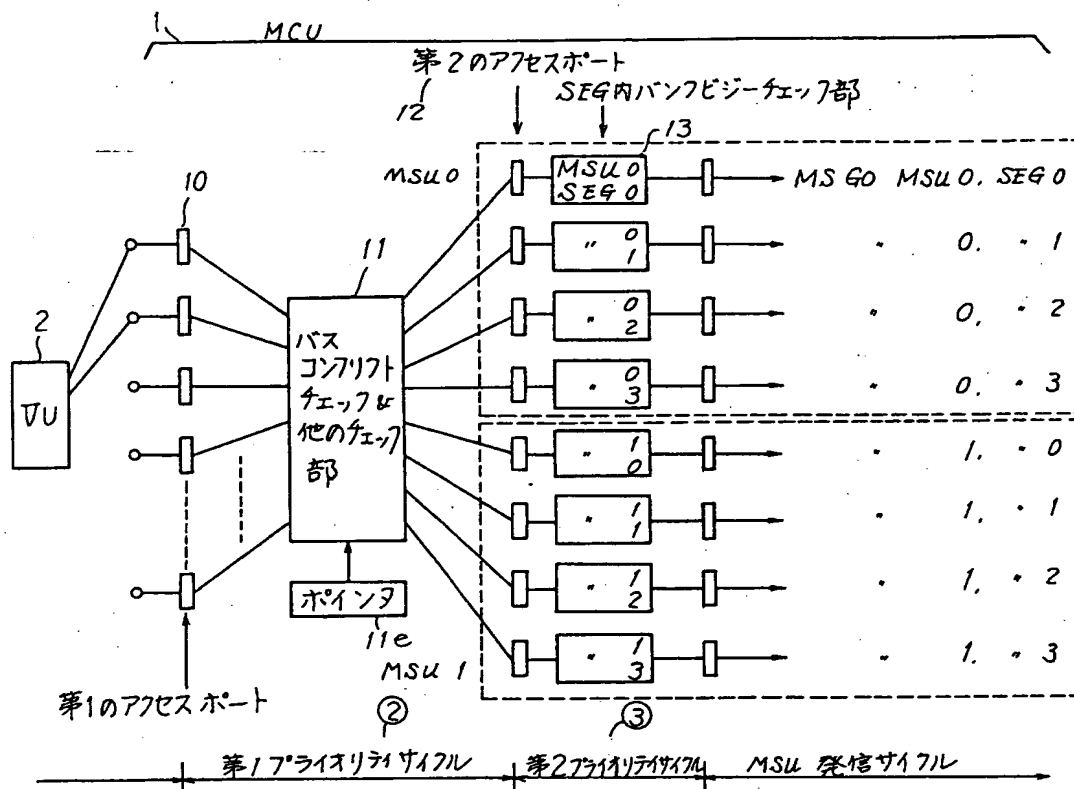
図面において、

- 1 は主記憶制御ユニット(MCU)、
- 10は第1のアクセスポート、
- 10' はアクセスポート、
- 11はバスコンフリクト&他のチェック部、
- 11a はバスコンフリクトチェック部、
- 11b はバンクビジーチェック部、
- 11c は他のコンフリクションチェック部、
- 11d はプライオリティ制御部、
- 11e はポイント、又は VU ポイント、



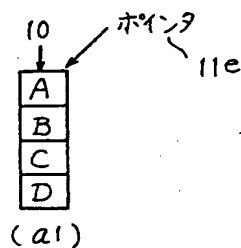
本発明によるランダムアクセスの動作を説明する図

第 2 図



本発明の一実施例を模式的に示した図

第 1 図



A PORT SET ENABLE =

POINTA · A EN +

POINTB · BEN · CEN · DEN · AEN · BCMTCH · CDMTCH · DAMTCH ·

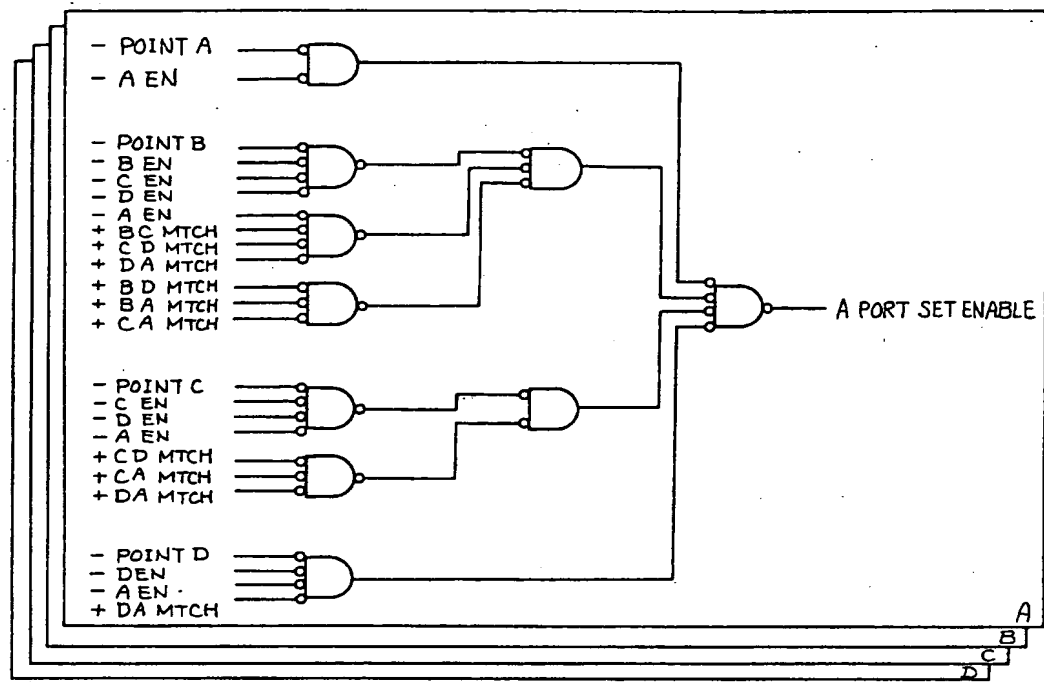
$$\overline{BD\text{ MTCH}} \cdot \overline{BA\text{ MTCH}} \cdot \overline{CA\text{ MTCH}} +$$
$$\text{POINTC} \cdot \text{CEN} \cdot \text{DEN} \cdot \text{AEN} \cdot \overline{\text{CD MTCH}} \cdot \overline{\text{CAMTCH}} \cdot \overline{\text{DAMTCH}} +$$

POINTD · DEN · A EN · DA MTCH

(a2)

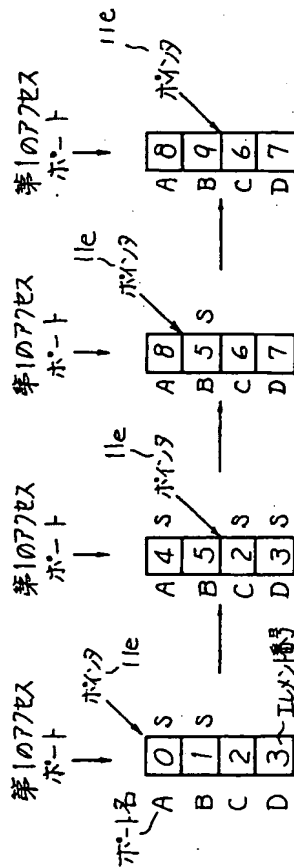
平発明のリフエストポイントの制御回路の動作を説明する図

第 3 题



(b)

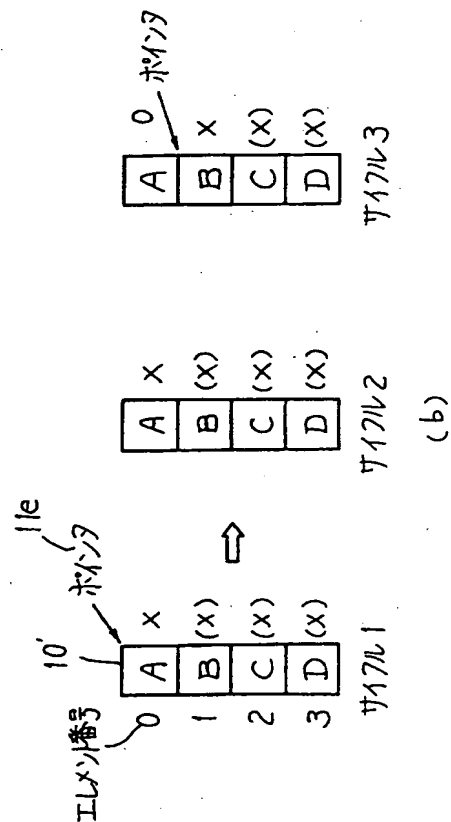
本発明のリクエストポイントの制御回路の動作と説明する図
第 3 図



(c)

本発明のリクエストポイントの制御回路の動作と説明する図

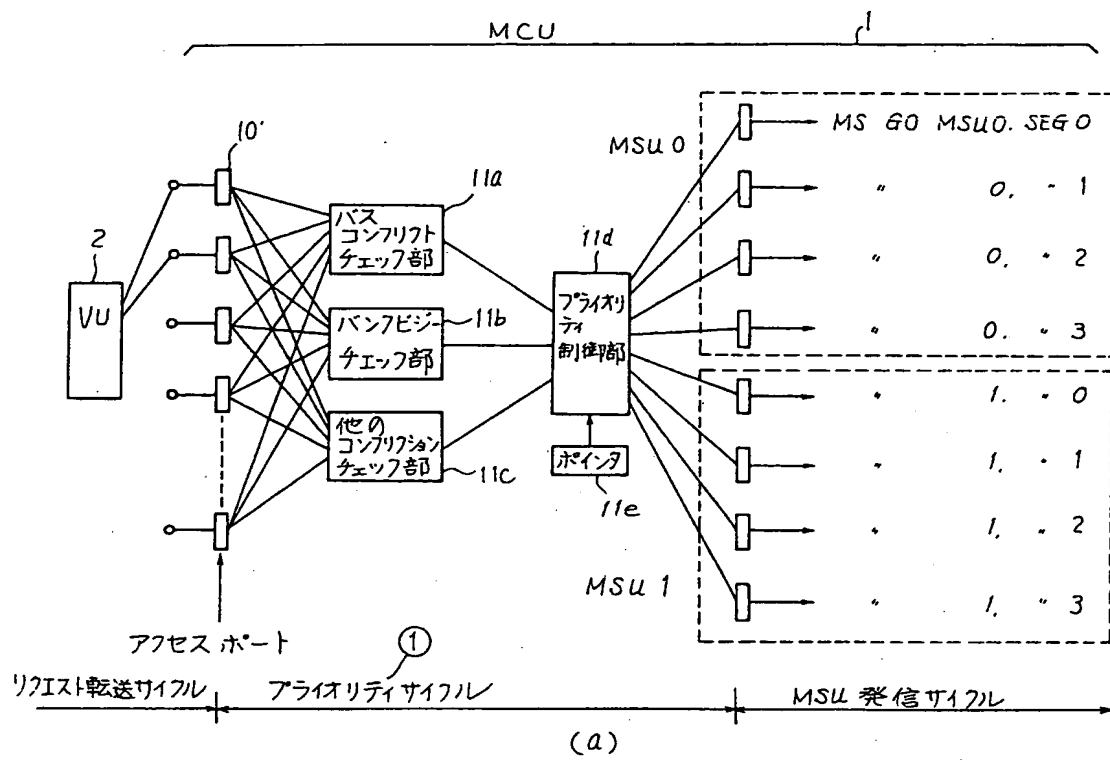
第 3 図



(b)

従来の主記憶アセス制御方式と説明する図

第 4 図



従来の主記憶アクセス制御方式を説明する図

第 4 図